

(51) Int.Cl.⁹

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 16/06

H 0 1 L 27/115

21/8247

G 1 1 C 17/ 00

5 1 0 D

5 3 0 A

審査請求 未請求 請求項の数 8 F D (全 16 頁) 最終頁に続く

(21) 出願番号

特願平6-248452

(22) 出願日

平成6年(1994)9月17日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 ヘミング・ゲルトヤン

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

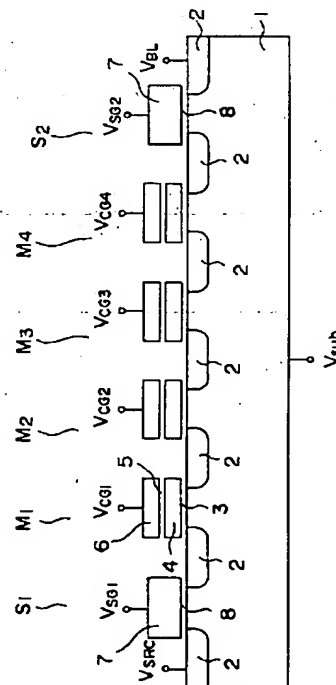
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【目的】 メモリセルの書き込み特性のばらつきに起因する書き込みベリファイ回数の増加を抑制し、書き込み時間の短縮をはかり得るEEPROMを提供すること。

【構成】 Si基板1上に浮遊ゲート4と制御ゲート6を積層し、電気的書替え可能としたメモリセルが2次元配置されたメモリセルアレイと、基板1とゲート6の間に消去パルスを印加する消去機構と、基板1とゲート6の間に消去パルスと逆極性の低い電圧の事前書き込みパルスを印加する事前書き込み機構と、事前書き込みパルス印加後の状態を検知するしきい値ベリファイ機構と、基板1とゲート6の間に消去パルスと逆極性の高い電圧の書き込みパルスを印加する書き込み機構とを備えたEEPROMであって、消去動作の後、事前書き込み動作としきい値ベリファイ動作を、最も速く変動するメモリセルのしきい値が消去状態の所望の値に達するまで繰返し、次いで書き込み動作によってデータ書き込みを行うことを特徴とする。



1

【特許請求の範囲】

【請求項 1】半導体層上に絶縁膜を介して電荷蓄積層と制御ゲートを積層して構成され、電氣的書き替えを可能としたメモリセルがマトリクス状に配置されたメモリセルアレイと、

前記メモリセルのデータ消去動作を行うため、前記制御ゲートと前記絶縁膜下との間に第 1 のしきい値変動電圧パルスを印加する第 1 のしきい値変動手段と、

消去状態にある前記メモリセルのしきい値を変動させるため、前記制御ゲートと前記絶縁膜下との間に第 1 のしきい値変動電圧パルスと逆極性の第 2 のしきい値変動電圧パルスを印加する第 2 のしきい値変動手段と、

前記メモリセルの第 2 のしきい値変動電圧パルス印加後の状態を検知するしきい値ベリファイ手段と、

前記メモリセルのデータ書き込み動作を行うため、前記制御ゲートと前記絶縁膜下との間に第 2 のしきい値変動電圧パルスと同極性かつ第 2 のしきい値変動電圧パルスに比べ電圧の高い第 3 のしきい値変動電圧パルスを印加する第 3 のしきい値変動手段とを備え、

第 1 のしきい値変動手段による消去動作の後、第 2 のしきい値変動手段によるしきい値変動動作としきい値ベリファイ手段によるしきい値ベリファイ動作を、第 3 のしきい値変動手段によって最も速く変動するメモリセルのしきい値が消去状態の所望の値に達するまで繰り返し、次いで第 3 のしきい値変動手段によるしきい値変動動作によってデータ書き込みを行うことを特徴とする不揮発性半導体記憶装置。

【請求項 2】半導体層上に絶縁膜を介して電荷蓄積層と制御ゲートを積層して構成され、電氣的書き替えを可能としたメモリセルがマトリクス状に配置されたメモリセルアレイと、

前記メモリセルのデータ書き込み動作を行うため、前記制御ゲートと前記絶縁膜下との間に第 1 のしきい値変動電圧パルスを印加する第 1 のしきい値変動手段と、

書き込み状態にある前記メモリセルのしきい値を変動させるため、前記制御ゲートと前記絶縁膜下との間に第 1 のしきい値変動電圧パルスと逆極性の第 2 のしきい値変動電圧パルスを印加する第 2 のしきい値変動手段と、

前記メモリセルの第 2 のしきい値変動電圧パルス印加後の状態を検知するしきい値ベリファイ手段と、

前記メモリセルのデータ消去動作を行うため、前記制御ゲートと前記絶縁膜下との間に第 2 のしきい値変動電圧パルスと同極性かつ第 2 のしきい値変動電圧パルスに比べ電圧の高い第 3 のしきい値変動電圧パルスを印加する第 3 のしきい値変動手段とを備え、

第 1 のしきい値変動手段による書き込み動作の後、第 2 のしきい値変動手段によるしきい値変動動作としきい値ベリファイ手段によるしきい値ベリファイ動作を、第 3 のしきい値変動手段によって最も速く変動するメモリセルのしきい値が書き込み状態の所望の値に達するまで繰

2

り返し、次いで第 3 のしきい値変動手段によるしきい値変動動作によってデータ消去を行うことを特徴とする不揮発性半導体記憶装置。

【請求項 3】半導体層上に絶縁膜を介して電荷蓄積層と制御ゲートを積層して構成され、電氣的書き替えを可能としたメモリセルがマトリクス状に配置されたメモリセルアレイと、

前記メモリセルのしきい値変動特性を検知するしきい値変動特性検出手段と、

前記メモリセルのしきい値をしきい値変動特性のばらつきを打ち消すようにして変動させるため、前記制御ゲートと前記絶縁膜下との間に、前記しきい値変動特性検出手段による前記メモリセルのしきい値変動特性に応じたしきい値変動電圧パルスを、前記メモリセルに印加するしきい値変動手段とを備え、

前記しきい値変動特性検出手段及びしきい値変動手段により、前記メモリセルのデータ消去動作或いはデータ書き込み動作を行うことを特徴とする不揮発性半導体記憶装置。

【請求項 4】半導体層上に絶縁膜を介して電荷蓄積層と制御ゲートを積層して構成され、電氣的書き替えを可能としたメモリセルがマトリクス状に配置されたメモリセルアレイと、

前記メモリセルのしきい値変動特性を検知するしきい値変動特性検出手段と、

前記メモリセルアレイ中の複数のメモリセルのしきい値を各メモリセルのしきい値変動特性のばらつきを打ち消すようにして変動させるため、前記制御ゲートと前記絶縁膜下との間に、前記しきい値変動特性検出手段による各メモリセルのしきい値変動特性に応じたしきい値変動電圧パルスを、各メモリセル毎に印加するしきい値変動手段とを備え、

前記しきい値変動特性検出手段及びしきい値変動手段により、前記メモリセルのデータ消去動作或いはデータ書き込み動作を行うことを特徴とする不揮発性半導体記憶装置。

【請求項 5】前記しきい値変動電圧パルスは、しきい値変動しやすいメモリセルのために比較的パルス波高が低く設定され、しきい値変動しにくいメモリセルには比較的パルス波高が高く設定されることを特徴とする請求項 3 又は 4 記載の不揮発性半導体記憶装置。

【請求項 6】前記しきい値変動特性検出手段は、各メモリセルによらない所定のしきい値変動特性検出パルスをメモリセルに印加し、前記しきい値変動特性検出パルス印加後のしきい値から各メモリセルのしきい値変動特性を検出することを特徴とする請求項 3～5 のいずれかに記載の不揮発性半導体記憶装置。

【請求項 7】前記しきい値変動電圧パルスと前記しきい値変動特性検出パルスは、互いに逆極性であることを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

50

3

【請求項 8】前記しきい値変動電圧パルスと前記しきい値変動特性検出パルスは、互いに同極性であることを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電氣的書替え可能な不揮発性半導体記憶装置（EEPROM）に係わり、特にトンネル電流によりメモリセルに対して書き込み／消去を行う EEPROM に関する。

【0002】

【従来の技術】EEPROM の 1 つとして、高集積化が可能な NAND セル型 EEPROM が知られている。これは、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共用する形で直列接続し、これを 1 単位としてビット線に接続するものである。メモリセルは通常、浮遊ゲート（電荷蓄積層）と制御ゲートが積層された FETMOS 構造を有する。メモリセルアレイは、p 型基板又は n 型基板に形成された p 型ウェル内に集積形成される。NAND セルのドレイン側は選択ゲートを介してビット線に接続され、ソース側はやはり選択ゲートを介して共通ソース線に接続される。メモリセルの制御ゲートは、行方向に連続的に配設されてワード線となる。

【0003】この NAND セル型 EEPROM の動作は、次の通りである。データ書き込みは、ビット線から最も離れた位置のメモリセルから順に行う。選択されたメモリセルの制御ゲートには高電圧 V_{pp} （＝20 V 程度）を印加し、それよりビット線側にあるメモリセルの制御ゲート及び選択ゲートには中間電圧 V_m （＝10 V 程度）を印加し、ビット線にはデータに応じて 0 V 又は中間電圧 V_{mb} （＝8 V 程度）を与える。

【0004】ビット線に 0 V が与えられた時、その電位は選択メモリセルのドレインまで転送されて、浮遊ゲートに電子注入が生じる。これにより、選択されたメモリセルのしきい値は正方向にシフトする。この状態を、例えば “0” とする。ビット線に V_{mb} が与えられた時は電子注入が実効的に起こらず、従ってしきい値は変化せず、負に止まる。この状態は、消去状態で “1” とする。データ書き込みは、制御ゲートを共有するメモリセルに対して同時に行われる。書き込み電圧 V_{pp} はメモリセルの信頼性を確保しながら、書き込み速度を速めるため、徐々に高められる。

【0005】データ消去は、NAND セル内の全てのメモリセルに対して同時に行われる。即ち、全ての制御ゲートを 0 V とし、p 型ウェルを 20 V とする。このとき、選択ゲート、ビット線及びソース線も 20 V にされる。これにより、全てのメモリセルで浮遊ゲートの電子が p 型ウェルに放出され、しきい値は負方向にシフトする。

【0006】データ読み出しは、選択されたメモリセル

4

の制御ゲートを 0 V とし、それ以外のメモリセルの制御ゲート及び選択ゲートを電源電位 V_{cc} （例えば 5 V）として、選択メモリセルで電流が流れるか否かを検出することによって行われる。

【0007】読み出し動作の制約から、“0”書き込み後のしきい値は 0 V から V_{cc} の間に制御しなければならない。このため書き込みベリファイが行われ、“0”書き込み不足のメモリセルのみを検出し、“0”書き込み不足のメモリセルに対してのみ再書き込みが行われるよう再書き込みデータを設定する（ビット毎ベリファイ）。“0”書き込み不足のメモリセルは、選択された制御ゲートを例えば 0.5 V（ベリファイ電圧）にして読み出すこと（ベリファイ読み出し）で検出される。つまり、メモリセルのしきい値が 0 V に対してマージンを持って、0.5 V 以上になっていないと、選択メモリセルで電流が流れ、“0”書き込み不足と検出される。

【0008】書き込み動作と書き込みベリファイを繰り返しながらデータ書き込みをすることで個々のメモリセルに対して、書き込み時間が最適化され“0”書き込み後のしきい値は 0 V から V_{cc} の間に制御される。また、書き込み動作毎に書き込み電圧は高められ、信頼性を確保しつつ、高速に書き込みが行われる。

【0009】ところで、この種の NAND セル型 EEPROM においては、次のような問題があった。即ち、書き込み時の書き込み電圧 V_{pp} を、書き込み易いメモリセルのため初期電圧を十分低くし、書き込み難いメモリセルのため最終電圧を十分高くしなければならず、書き込み電圧の単位時間当たりの増加率を一定とすると、書き込み特性のばらつきが大きいほど書き込みに時間がかかるという問題があった。

【0010】また、この書き込み特性のばらつきが大きいほど、書き込みパルス波形が同じなら（例えば電圧一定）、書き込み／書き込みベリファイを多く繰り返さなければならず、書き込み時間が長くなるという問題があった。

【0011】

【発明が解決しようとする課題】以上のように従来の NAND セル型 EEPROM のような書き込み方法では、メモリセルの書き込み特性のばらつきが大きくなると、書き込み時の初期電圧と最終電圧の差が大きくなったり書き込みベリファイ回数の増加を招き、書き込み時間が長くなるという問題があった。

【0012】本発明は、上記事情を考慮してなされたもので、その目的とするところは、メモリセルの書き込み特性のばらつきに起因する、書き込み時の初期電圧と最終電圧の差の増大や書き込みベリファイ回数の増加を抑制することができ、書き込み時間の短縮をはかり得る不揮発性半導体記憶装置を提供することにある。

【0013】

【課題を解決するための手段】上記課題を解決するため

5

に本発明は、次のような構成を採用している。

【0014】即ち、本発明（請求項1、2）は、半導体層上に絶縁膜を介して電荷蓄積層と制御ゲートを積層して構成され、電氣的書き換えを可能としたメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルのデータ消去（又は書き込み）動作を行うため、制御ゲートと絶縁膜下との間に第1のしきい値変動電圧パルスを印加する第1のしきい値変動手段と、消去（又は書き込み）状態にある前記メモリセルのしきい値を変動させるため、制御ゲートと絶縁膜下との間に第1のしきい値変動電圧パルスと逆極性（かつ第1のしきい値変動電圧パルスに比べ電圧の低い）の第2のしきい値変動電圧パルスを印加する第2のしきい値変動手段と、メモリセルの第2のしきい値変動電圧パルス印加後の状態を検知するしきい値ベリファイ手段と、メモリセルのデータ書き込み（又は消去）動作を行うため、制御ゲートと絶縁膜下との間に第2のしきい値変動電圧パルスと同極性かつ第2のしきい値変動電圧パルスに比べ電圧の高い第3のしきい値変動電圧パルスを印加する第3のしきい値変動手段とを備えた不揮発性半導体記憶装置であって、第1のしきい値変動手段による消去（又は書き込み）動作の後、第2のしきい値変動手段によるしきい値変動動作としきい値ベリファイ手段によるしきい値ベリファイ動作を、第3のしきい値変動手段によって最も速く変動するメモリセルのしきい値が消去（又は書き込み）状態の所望の値に達するまで繰り返し、次いで第3のしきい値変動手段によるしきい値変動動作によってデータ書き込み（又は消去）を行うことを特徴とする。

【0015】また、本発明（請求項3）は、半導体層上に絶縁膜を介して電荷蓄積層と制御ゲートを積層して構成され、電氣的書き換えを可能としたメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルのしきい値変動特性を検知するしきい値変動特性検出手段と、メモリセルのしきい値をしきい値変動特性のばらつきを打ち消すようにして変動させるため、制御ゲートと絶縁膜下との間に、しきい値変動特性検出手段によるメモリセルのしきい値変動特性に応じたしきい値変動電圧パルスを、メモリセルに印加するしきい値変動手段とを備えた不揮発性半導体記憶装置であって、しきい値変動特性検出手段及びしきい値変動手段により、メモリセルのデータ消去動作或いはデータ書き込み動作を行うことを特徴とする。

【0016】また、本発明（請求項4）は、半導体層上に絶縁膜を介して電荷蓄積層と制御ゲートを積層して構成され、電氣的書き換えを可能としたメモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルのしきい値変動特性を検知するしきい値変動特性検出手段と、メモリセルアレイ中の複数のメモリセルのしきい値を各メモリセルのしきい値変動特性のばらつきを打ち消すようにして変動させるため、制御ゲートと絶縁膜下

6

との間に、しきい値変動特性検出手段による各メモリセルのしきい値変動特性に応じたしきい値変動電圧パルスを、各メモリセル毎に印加するしきい値変動手段とを備えた不揮発性半導体記憶装置であって、しきい値変動特性検出手段及びしきい値変動手段により、メモリセルのデータ消去動作或いはデータ書き込み動作を行うことを特徴とする。

【0017】

【作用】本発明によれば、消去後に事前書き込みを、書き込み電圧より十分低い電圧で行う。これにより、書き込み易いメモリセルのみ事前に書き込みを進めておく。また、事前書き込みを消去単位で行う。さらに、事前書き込み後のしきい値をベリファイし、最も書き込み易いメモリセルのしきい値が所定の値に達したら、事前書き込みを終了する。書き込みは書き込み動作とビット毎ベリファイを繰り返しながら行う。

【0018】このように事前書き込みによって、書き込み易いメモリセルの書き込みを事前に進めておくことで、書き込み電圧の初期値を高く設定でき、書き込み時間が短縮される。また、書き込み時の高い電圧に比べ十分低い電圧で事前書き込みを行うことで、さらに信頼性が向上する。

【0019】同様に、本発明によれば、書き込み後に事前消去を、消去電圧より十分低い電圧で行う。これにより、消去し易いメモリセルのみ事前に消去を進めておく。さらに、事前消去後のしきい値をベリファイし、最も消去し易いメモリセルのしきい値が所定の値に達したら、事前消去を終了する。このように、消去し易いメモリセルの消去を事前に進めておくことによって、消去時間が短縮される。

【0020】また、本発明によれば、消去後にメモリセルのしきい値を検出し、書き込み易いメモリセルは比較的低い書き込み電圧で書き込み、書き込みにくい比較的高い書き込み電圧で書き込むことにより、書き込み特性のばらつきが吸収され、書き込み動作とビット毎ベリファイの繰り返し回数が減る、或いはベリファイを無くしてしまふことができ、書き込み時間が短縮される。

【0021】また、消去後に第1書き込みを行い、メモリセルのしきい値を検出し、書き込み易いメモリセルは比較的低い書き込み電圧で追加の第2書き込みを行い、書き込みにくい比較的高い書き込み電圧で追加の第2書き込みを行う。場合によっては、第2書き込みは書き込み動作とビット毎ベリファイを繰り返しながら行うとさらに効果的である。

【0022】

【実施例】まず、実施例を説明する前に、本発明の基本構成について説明する。

【0023】図1(a)は、本発明に係わるEEPROMのメモリセルの構造を示す図である。p型基板（又はp型ウェル）1の上に浮遊ゲート（電荷蓄積層）4と制

7

御ゲート 6 が積層形成され、n 型拡散層 2 をソース／ドレインとしてメモリセル M は形成される。p 型基板 1 と浮遊ゲート 4 はトンネル絶縁膜 3 によって絶縁されており、さらに浮遊ゲート 4 と制御ゲート 6 はゲート間絶縁膜 5 によって絶縁されている。

【0024】図 1 (b) は、メモリセルの等価回路図であって、 V_{cg} は制御ゲート電圧、 V_{fg} は浮遊ゲート電圧、 V_s 、 V_d はそれぞれソース、ドレイン電圧、 V_{sub} は p 基板電圧を示している。制御ゲート 6 と浮遊ゲート 4 間の静電容量を C_{cg} 、トンネル絶縁膜 3 を挟む浮遊ゲート 4 と半導体表面間の容量を C_{ox} で示している。

【0025】トンネル絶縁膜 3 に、浮遊ゲート 4 の方を高電位として電界が印加されるように、制御ゲート 6、ソース、ドレイン及び p 基板 1 にしきい値変動電圧パルス印加すると、トンネル絶縁膜 3 を介して浮遊ゲート 4 の電荷が移動し、しきい値は正の方向に変動する。また、トンネル絶縁膜 3 に、浮遊ゲート 4 の方を低電位として電界が印加されるように、制御ゲート 6、ソース、ドレイン及び p 基板 1 にしきい値変動電圧パルス印加すると、トンネル絶縁膜 3 を介して浮遊ゲート 4 の電荷が移動し、しきい値は負の方向に変動する。

【0026】図 2 は、メモリセルの消去／書き込み原理を示している。

【0027】図 2 (a) に見られるように、消去は制御ゲート 6 の電圧 V_{cg} を 0 V とし、p 基板電圧 V_{sub} を消去電圧 V_{erase} (~ 20 V) として行われる。ソース／ドレイン電圧 V_s 、 V_d は消去電圧 V_{erase} としてもよい。図のようにフローティングにしてもよい。浮遊ゲート 4 から電子が p 基板 1 にトンネル電流によって放出され、浮遊ゲート 4 は正の方向に帯電する。よって、メモリセル M のしきい値は負の方向に低下する。多くのメモリセルを含む不揮発性半導体記憶装置では、メモリセル M の加工ばらつきによって、消去されたメモリセルのしきい値は図 2 (b) のようにばらつき $\Delta V_{th*erase}$ をもつ。この例では、消去後のしきい値を 0 V 以下としデータ “1” に対応させる。

【0028】図 2 (c) に見られるように、“0” 書き込みは制御ゲート 6 の電圧 V_{cg} を書き込み電圧 V_{prog} (~ 20 V) としソース／ドレイン電圧 V_s 、 V_d を 0 V とし p 基板 1 の電圧も 0 V とする。これによって電子が浮遊ゲート 4 にトンネル電流によって注入され、浮遊ゲートは負の方向に帯電し、メモリセルのしきい値は正の方向に高められる。書き込み後のしきい値も、多くのメモリセルを含む不揮発性半導体記憶装置では、図 2 (d) に見られるようにばらつき $\Delta V_{th*prog}$ を持つ。この例では、“0” 書き込み後のしきい値を 0 V 以上としている。“1” 書き込みは、消去状態を保持すれば良いので浮遊ゲート 4 に電子が注入されないように、例えば、図 2 (c) でソース／ドレイン電圧を V_{mb} (~ 10 V) としておく。以下、断らない限り、書き込みは

8

“0” 書き込みを意味する。

【0029】図 3 は、書き込み時の制御ゲート 6 の電圧 V_{cg} 、浮遊ゲート 4 の電圧 V_{fg} 、トンネル絶縁膜 3 を流れるトンネル電流 I_{prog} とメモリセルのしきい値 V_{th} を示している。ここに示している書き込み方法は、信頼性を良くし、かつ書き込み時間を速くするため、図 3

(b) に示す書き込み中の浮遊ゲート 4 の電圧 V_{fg} 、図 3 (c) に示すトンネル絶縁膜 3 を流れるトンネル電流 I_{prog} をほぼ一定に保ちながら書き込みを行うためのものである。そのため、制御ゲート 6 に印加される書き込み電圧 V_{prog} を図 3 (a) に示すように、時間とともに V_{min} から V_{max} まで高め、図 3 (d) に示すようにしきい値 V_{th} を徐々に大きくしている。

【0030】書き込み電圧 V_{prog} は、図 4 に見られるような階段状に高めていっても同様な効果が得られる。これは、基本的にトンネル絶縁膜に印加される電界を抑えつつ高速に電子注入を行うためであり、書き込みによって浮遊ゲートの電位が電子注入のため低下するのを、書き込み電圧を高めることで打ち消している。書き込み電圧初期値 V_{min} は、書き込み初期にトンネル絶縁膜に印加される電界を抑えるため十分低くされなければならない。

【0031】さて、複数のメモリセルに同時に書き込みを行い、同時に書き込み後のしきい値ばらつきを抑えるために、図 5 に示されているように、ビット毎ベリファイ書き込み方法がある。

【0032】図 3 (a) に示されているような書き込みパルスは細かく分割され、書き込み途中でメモリセルのしきい値がベリファイ電位に達したか否かチェックされる。“0” 書き込みされるメモリセルのしきい値がベリファイ電位に達すると、“0” 書き込みから“1” 書き込みにメモリセルへの電圧印加状態は変えられる。これは前述したように、メモリセルのソース／ドレイン電圧を 0 V から V_{mb} に変えることで容易に実現される。

“1” 書き込みされるメモリセルは書き込み最後まで“1” 書き込み状態である。

【0033】このビット毎ベリファイ書き込み方法によって、メモリセルのしきい値は図 5 (b) のように制御される。最も書き込み易いセルは、この例では 1 発目の書き込みパルス印加中にしきい値がベリファイ電位を越え、2 発目のパルス以降は“1” 書き込み状態とされ実効的にしきい値は変化しない。典型的なセルは 3 発目、最も書き込みにくいセルは 5 発目のパルス印加中にしきい値がベリファイ電位を越える。全ての“0” 書き込み対象のセルは、そのしきい値がベリファイ電位を越えた書き込みパルス印加以降、“1” 書き込み状態とされるため実効書き込み時間がビット毎に調整され、書き込み後のしきい値のばらつきは低減される。

【0034】1 発目のパルス幅は、最も書き込み易いセルのしきい値が十分上昇するように、ベリファイを省略

9

し長くしてある。この方が、ベリファイ時間を省略でき書き込み時間が短くできるからである。

【0035】図6は、メモリセルのしきい値と実効書き込み時間の関係をより詳しく示している。消去後のしきい値は、この例では、 $-2V$ から $-5V$ にばらついている。最も書き込み易いセルは、一番速く書き込みが始まり、このため図5(a)に見られる書き込みパルス初期値 V_{min} は十分下げられ、このため書き込み時間が長くなっている。また、最も書き込みにくいセルのため、書き込みパルスの最大値 V_{max} は高められ、これも書き込み時間を長くしている。書き込み時間を短くするためには、同じ書き込み時間だけ書き込んだ時のしきい値を揃えればよい。

【0036】以下、本発明の実施例について説明する。

(実施例1) 図7は、第1の実施例に係わるNANDセル型EEPROMのメモリセル構成を示している。メモリセル $M1 \sim 4$ は直列に接続され、選択トランジスタ $S1, 2$ を介してそれぞれソース線、ビット線に接続される。図7に示されるように、各動作時(読み出し、書き込み、消去等)にビット線、ソース線には、それぞれ電圧 V_{SRC} 、 V_{BL} が与えられる。また、メモリセル $M1 \sim 4$ の制御ゲートには V_{CGi} ($i=1 \sim 4$)、選択トランジスタ $S1, 2$ の選択ゲートには V_{SG1} 、 V_{SG2} が与えられる。p型基板(又はp型ウェル)1の上に浮遊ゲート4と制御ゲート6が積層形成され、n型拡散層2をソース/ドレインとしてメモリセル M は形成されている。p型基板1と浮遊ゲート4はトンネル絶縁膜3によって絶縁されており、さらに浮遊ゲート4と制御ゲート6はゲート間絶縁膜5によって絶縁されている。

【0037】1つ1つのメモリセルは図1に見られるものと同じであり、書き込み/消去動作原理は図2に見られる通りである。選択トランジスタは、p型基板1上に選択ゲート絶縁膜8と選択ゲート7が積層形成され、n型拡散層2をソース/ドレインとして形成される。これは、NAND型メモリセルと呼ばれる。図18のように、制御ゲート、選択ゲートを複数のNAND型セルで共有し、メモリセルアレイを構成し、通常1ブロック単位で消去され、1ページ単位で一括して書き込みされる。

【0038】データの消去(第1のしきい値変動手段)は、メモリセル $M1 \sim 4$ に対して同時に行われる。基板電圧 V_{sub} に消去電圧 V_{erase} ($\sim 20V$)を印加し、制御ゲート電圧 V_{CGi} ($i=1 \sim 4$)は $0V$ にする。このときビット線電圧、ソース線電圧に V_{erase} を与えてもよいし、ビット線、ソース線はフローティングでもよい。選択ゲート電圧は選択ゲート絶縁膜8に電圧ストレスが印加されないように V_{erase} にしておくのが理想的である。消去動作によって、浮遊ゲート4の電位はトンネル絶縁膜3を流れるトンネル電流によって正方向に変移し、メモリセルのしきい値は負となり、全てのメモリセ

10

ルのデータは“1”となる。

【0039】図8(a)は、本実施例の事前書き込み動作原理を示すための、メモリセルの書き込み特性を示す図である。

【0040】消去動作後、事前書き込み(第2のしきい値変動手段)が行われる。消去動作と同様、メモリセル $M1 \sim 4$ に対して同時に行われ、制御ゲート電圧 V_{CGi} ($i=1 \sim 4$)は事前書き込みパルス電圧となる。この事前書き込みパルス電圧は図8(b)に示されるように、時間と共に増加するように設定する方が、メモリセルの信頼性を確保しながら事前書き込みを高速に行うという点では理想的である。この事前書き込みパルス電圧は、書き込み電圧より十分低く設定され、図8(b)のようなパルスの場合、その電圧増加率は書き込みパルスのそれより十分小さくされる。ビット線電圧、ソース線電圧は $0V$ とする。選択ゲート電圧 V_{SG1} 、 V_{SG2} はメモリセルのソース/ドレインに $0V$ が転送されるように電圧が印加される。例えば、 $V_{SG1} = V_{cc}$ 、 $V_{SG2} = 0V$ とする。p型基板電圧 V_{sub} は $0V$ である。

【0041】この事前書き込みによって、消去動作によって深く負のしきい値とされた消去され易いメモリセルのしきい値は、浅い負のしきい値とされる。図8(a)に見られるように、最も速く消去されるセルは最も速く書き込まれ、最も遅く消去されるセルは最も遅く書き込まれる。事前書き込み時間は、事前書き込みされたメモリセルのしきい値が、メモリセルを読み出した時データ“1”と読めるように制御される。

【0042】図8(a)の例では、消去時に最も消去しにくいセルのしきい値が $-2V$ にされている。事前書き込みによって、最も書き込み易いセルのしきい値が最も消去しにくいセルのしきい値を越えると、この例では $-2V$ を越えたとき、事前書き込みは終了させられる。事前書き込みパルス電圧が変動すると、事前書き込み時間 T_{soft} も変化するので、制御性を高めるためには通常広く用いられるしきい値ベリファイを事前書き込みと併用するのが望ましい。この例では、ベリファイ電位 V_{verify} として $-1.5V$ を用いて、最も書き込み易いセルのしきい値が $-1.5V$ を越えると、事前書き込みは終了させられる。事前書き込み後は、しきい値ばらつきが小さくなる。

【0043】図9(a)は、図3(a)、図5(a)に見られるような書き込みパルスを用いて書き込みを行った時の事前書き込み後のメモリセルの書き込み特性を示している。

【0044】書き込み(第3のしきい値変動手段)は、選択されたメモリセルの制御ゲート電圧 V_{CGi} を書き込み電圧 V_{prog} ($\sim 20V$)とし、その他の制御ゲート電圧と選択ゲート電圧 V_{SG2} は V_m ($\sim V_{prog}$ の半分)、選択ゲート電圧 V_{SG1} は $0V$ とする。“0”書き込みをする場合はビット線電圧 V_{BL} は $0V$ 、“1”書き込みを

11

する場合はビット線電圧 V_{BL} は V_{mb} ($\sim V_m$) とする。特に断らない限り、以下書き込みは“0”書き込みと同意とする。また、NANDセル型EEPROMでは複数のNANDセルに対して同時に書き込みが行われるため、書き込み時には図5に見られるビット毎ベリファイ方式にするのが望ましい。

【0045】事前書き込みにより、書き込み易いセルのしきい値は高められているので、図6に見られるような書き込み初期のしきい値変動は全てのメモリセルにおいて始まらない。図9(a)中の1点鎖線は事前書き込みを用いない時の最も書き込み易いメモリセルの書き込み特性を示している。よって、図3(a)、図5(a)に見られるような書き込みパルスの V_{min} は高めることができ、図9(b)のように、速く書き込むことが可能となる。事前書き込みは、この例では4つのセルに対して、図18にみられるアレイでは1ブロックに対して同時に行われるため、1つのメモリセル当たりの時間は短縮される。また、バックグラウンド消去方式(メモリに対して読み書きアクセスをしない空き時間を利用して消去を行う方式)を用いるメモリシステム内では、消去動作と連動して行うことにより、消去と同様事前書き込み時間は見えなくなる。

【0046】また、事前書き込み時の事前書き込みパルス電圧を、書き込みパルスの V_{min} より十分低く設定しておくことで、書き込み動作時の強い電界によって通過する電荷によって生ずるトンネル絶縁膜3の劣化は抑えられる。

【0047】このように本実施例によれば、消去後に、書き込み電圧より十分低い電圧で事前書き込みを行い、書き込み易いメモリセルのみ事前に書き込みを進めておく、さらに事前書き込み後のしきい値をベリファイし、最も書き込み易いメモリセルのしきい値が所定の値に達したら、事前書き込みを終了している。このような動作により、書き込み易いメモリセルの書き込みを事前に進めておくことで、書き込み電圧の初期値を高く設定でき、書き込み時間が短縮される。つまり、メモリセルの書き込み特性のばらつきによって従来生じていた、書き込み時の初期電圧と最終電圧の差の増大や書き込みベリファイ回数の増加を抑制することができ、書き込み時間の大幅な短縮をはかることが可能となる。

【0048】なお、上記の実施例では消去後に事前書き込みを行って消去後のしきい値のばらつきを抑制しているが、この代わりに、書き込み後に事前消去を行って書き込み後のしきい値のばらつきを抑制してもよい。即ち、書き込み後に事前消去を、消去電圧より十分低い電圧で行うことにより、消去し易いメモリセルのみ事前に消去を進めておく。さらに、事前消去後のしきい値をベリファイし、最も消去し易いメモリセルのしきい値が所定の値に達したら、事前消去を終了する。このように、消去し易いメモリセルの消去を事前に進めておくことによって、

12

消去時間の短縮をはかることも可能となる。

(実施例2) 次に、本発明の第2の実施例について説明する。この実施例は、メモリセル毎に書き込み電圧を最適化するものである。

【0049】図10は、本発明の第2の実施例に係わるNAND型EEPROMのメモリセル構成を示すと共に、書き込み電圧最適化のための書き込み方式の動作原理を示している。この方式は基本的に、書き込み易い(消去し易い)セルは比較的低い電圧で、書き込みにくい(消去しにくい)セルは比較的高い電圧で書き込みを行うことで、同じ書き込み時間で書き込んだ後のメモリセルのしきい値のばらつきを低減する。これによって、図5に見られるビット毎ベリファイの回数を減らし、書き込み時間を短縮する。

【0050】図10(a)は、メモリセルの書き込み易さ(消去し易さ)を調べる動作を示していて、ここではソース線から2番目のセルが選択されているとしている。これは消去後に行われる。ソース線電圧 V_{SRC} を例えば5Vとし、選択されたメモリセルの制御ゲート電圧 V_{CG2} を0Vとする。その他の選択ゲート電圧と選択ゲートは V_m ($\sim 10V$) とする。ビット線は0Vにリセットした後、フローティングにしておく。フローティングにされたビット線は、選択されたメモリセルのしきい値に応じて充電される。

【0051】図11に見られるように、しきい値が-5Vであればビット線は5Vまで充電され、しきい値が-2Vであればビット線は2Vまでしか充電されない。選択されたメモリセルの制御ゲート電圧を-2Vにすると、しきい値が-5Vであればビット線は3Vまで充電され、しきい値が-2Vであればビット線は0Vまでしか充電されない。

【0052】このビット線電圧を用いて図10(b)のように書き込みは行われる。選択されたメモリセルの制御ゲート電圧 V_{CG2} を V_{prog} ($\sim 20V$) とし、その他の制御ゲートを V_m ($\sim 10V$) にする。ソース側の選択ゲート電圧 V_{SG1} は0V、ビット線側の選択ゲート電圧 V_{SG2} は V_m とする。これによって、図12に見られるように、書き込み易いセルは実効的に比較的低い電圧で書き込みが行われ、書き込みにくいセルでは実効的に比較的高い電圧で書き込みが行われ、書き込み後のしきい値ばらつきは低減される。

【0053】図13は、第2の実施例を実現するための回路構成図の例である。pチャネルMOSトランジスタ(p-ch MOS Tr.) $Q_{p1, 2}$ 、nチャネルMOSトランジスタ(n-ch MOS Tr.) $Q_{n1, 2}$ から構成されるCMOSフリップフロップ(FF)は、書き込みデータを記憶するデータラッチ回路である。“0”書き込み時は、n-ch MOS Tr. Q_{n4} のゲートが“L”となるようにラッチし、“1”書き込み時は“H”となるようにラッチしている。“1”書き込み時のみ、信号 $SUBL$ が“H”

13

となって“1”書き込みビット線に電圧 V_{BLH} を転送する。

【0054】メモリセル $M1 \sim 4$ と選択トランジスタ $S1, 2$ はNAND型セルを構成し、選択ゲート $S1, 2$ 及び制御ゲート $CG1 \sim 4$ は複数のNAND型セルで共有する。

【0055】リセット信号 RST が“H”となるとビット線 BL はn-ch MOS Tr. $Qn6$ によって0Vにリセットされる。ビット線の電圧は、n-ch MOS Tr. $Qn9$ によって信号 $BLVT$ が“H”となると、キャパシタ $C1$ に記憶される。キャパシタ $C1$ に蓄えられた電圧に応じて、信号 SBL が“H”になると、ビット線はn-ch MOS Tr. $Qn7, 8$ によって充電される。

【0056】図14を用いて、制御ゲート $CG2$ を共有するメモリセルが選択された場合の動作を説明する。消去後、まず信号 $BLVT$ が“H”となって、ビット線 BL とキャパシタ $C1$ は接続される。信号 RST が“L”となってビット線 BL は0Vフローティングにされる。共通ソース線電圧 V_{SRC} が5Vとなって、また選択ゲート $SG1, 2$ 、制御ゲート $CG1, 3, 4$ が V_m ($\sim 10V$)となる。選択された制御ゲート $CG2$ は0Vにされ、ビット線 BL は選択されたメモリセル $M2$ のしきい値によって充電される電圧が決まる。ビット線が充電された後、信号 $BLVT$ が“L”となり、キャパシタ $C1$ にメモリセル $M2$ のしきい値情報が記憶される。メモリセルのしきい値が $-5V$ なら、キャパシタ $C1$ は5Vになり、しきい値が $-2V$ なら $C1$ は2Vとなる。

【0057】書き込み動作は、このキャパシタ $C1$ に記憶されている情報を用いて、各メモリセルに最適な書き込み電圧で行われる。

【0058】まず、信号 RST が“L”となってビット線はフローティングにされる。信号 SBL が“H”となって、ビット線はキャパシタ $C1$ に記憶されている情報によって充電される。n-ch MOS Tr. $Qn8$ のしきい値が0Vの場合、電圧 V_{SBL} を5V以上にしておくと、キャパシタ $C1$ の電圧が5Vなら、ビット線は5Vに充電され、 $C1$ が2Vならビット線は2Vとなる。n-ch MOS Tr. $Qn8$ のしきい値が2Vの場合、電圧 V_{SBL} を3V以上にしておくと、キャパシタ $C1$ の電圧が5Vなら、ビット線は3Vに充電され、 $C1$ が2Vならビット線は0Vとなる。

【0059】一方、信号 $SUBL$ と電圧 V_{LTC} が V_m 、電圧 V_{BLH} が V_{mb} となり、“1”書き込みビット線には V_{mb} が、n-ch MOS Tr. $Qn4, 5$ を介して転送される。

【0060】選択ゲート $SG1$ は0V、選択ゲート $SG2$ が V_m 、制御ゲート $CG1, 3, 4$ が V_m 、制御ゲート $CG2$ が V_{prog} となると、書き込みが行われる。

【0061】この後、信号 $BLVT$ を“L”にしておくと、キャパシタ $C1$ に記憶された情報は基本的に保持

14

されるので、書き込みベリファイと書き込みを繰り返しながら書き込みは行われる。

【0062】このように本実施例によれば、消去後にメモリセルのしきい値を検出し、書き込みの適切なレベルは比較的低い書き込み電圧で書き込み、書き込みにくいメモリセルは比較的高い書き込み電圧で書き込むことによって、書き込み特性のばらつきが吸収される。このため、書き込み動作とビット毎ベリファイの繰り返し回数が減り、場合によってはベリファイを無くしてしまうこともでき、書き込み時間の大幅な短縮を計ることができる。また、書き込みは書き込み動作とビット毎ベリファイを繰り返しながら行うとさらに効果的である。

(実施例3) 図15は、本発明の第3の実施例を説明するためのもので、書き込み動作原理を示している。

【0063】消去動作後、第1書き込みが時間 $T_{PRE} + PR0G$ の間行われる。ここで、メモリセルのしきい値が調べられる。しきい値が高いメモリセルは、書き込みし易いメモリセルのため、第2書き込みでは書き込み電圧は比較的(他の書き込み難いメモリセルに対して)低めに設定され直される。

【0064】この例では、最も書き込みにくいセルのしきい値はまだ変動してなく、典型的なセルのしきい値とほぼ同じである。よって、単にメモリセルのしきい値が高いセルの第2書き込み電圧を比較的低めに設定し直すと、最も書き込みにくいセルの書き込み速度がさらに比較して遅くなる。よって、この例で、しきい値が $-2V$ 以下のメモリセルに関しては、しきい値が異なっても書き込み電圧を相対的に同じとする。これによって、最も書き込みにくいメモリセルのしきい値 $-2V$ 以上のメモリセルに関してのみ書き込み電圧が最適化される。この例では、これでもしきい値分布幅は3Vから1.5Vと半分になる。

【0065】図16は、第3の実施例を実行するための回路構成図の例である。pチャネルMOSトランジスタ(p-ch MOS Tr.) $Qp3, 4$ 、nチャネルMOSトランジスタ(n-ch MOS Tr.) $Qn10, 11$ から構成されるCMOSフリップフロップ(F/F)は、書き込みデータを記憶するデータラッチ回路である。“0”書き込み時は、n-ch MOS Tr. $Qn13$ のゲートが“L”となるようにラッチし、“1”書き込み時は“H”となるようにラッチしている。“1”書き込み時のみ、信号 $SUBL$ が“H”となって“1”書き込みビット線に電圧 V_{BLH} を転送する。

【0066】メモリセル $M1 \sim 4$ と選択トランジスタ $S1, 2$ はNAND型セルを構成し、選択ゲート $S1, 2$ 及び制御ゲート $CG1 \sim 4$ は複数のNAND型セルで共有する。

【0067】リセット信号 RST が“H”となるとビット線 BL はn-ch MOS Tr. $Qn15$ によって0Vにリセットされる。ビット線の電圧は、n-ch MOS Tr. $Qn19$

15

によって信号BLVTが“H”となると、キャパシタC2に記憶される。キャパシタC2に蓄えられた電圧に応じて、信号SBLが“H”になると、ビット線はn-ch MOS Tr. Qn16, 17によって充電される。n-ch MOS Tr. Qn18は信号PREが“H”となると、キャパシタC2をリセットする。キャパシタC3はキャパシタC2の記憶情報を安定にするためのものである。

【0068】図17を用いて、制御ゲートCG2を共有するメモリセルが選択された場合の動作を説明する。消去後、まず信号RSTが“L”となってビット線はフローティングにされる。信号RBLがVm、電圧VLTCがVmbとなって、“1”書き込みビット線にはVmbが、“0”書き込みビット線には0VがQn12を介して転送される。選択ゲートSG1は0V、選択ゲートSG2がVm、制御ゲートCG1, 3, 4がVm、制御ゲートCG2がVprogとなると、第1書き込みが行われる。

【0069】続いて、しきい値検出動作となる。信号BLVTが“H”となって、ビット線BLとキャパシタC2は接続され、また、信号PREが“H”となってキャパシタC2はリセットされる。また、信号RSTが“L”となってビット線BLは0Vフローティングにされる。

【0070】共通ソース線電圧VSRCが5Vとなって、また選択ゲートSG1, 2、制御ゲートCG1, 3, 4がVm(〜10V)となる。選択された制御ゲートCG2は0Vにされ、ビット線BLは選択されたメモリセルM2のしきい値によって充電される電圧が決まる。セルのしきい値が-0.5Vならビット線は0.5V、しきい値が-2Vならビット線は2Vとなる。選択ゲート、制御ゲートが0Vにリセットされ、信号PREが“L”となる。その後、信号RSTが“H”となって、ビット線は0Vにリセットされる。電圧VPREが2Vの場合、メモリセルのしきい値が-0.5Vなら、ビット線が0Vにリセットされた時、n-ch MOS Tr. Qn17のゲート電圧は1.5Vとなる。しきい値が-2VならQn17のゲート電圧は0Vとなる。信号BLVTが“L”となって、メモリセルのしきい値情報はキャパシタC2に記憶される。

【0071】第2書き込み動作は、このキャパシタC2に記憶されている情報を用いて、各メモリセルに最適な書き込み電圧で行われる。

【0072】まず、信号RSTが“L”となってビット線はフローティングにされる。信号SBLが“H”となって、ビット線はキャパシタC2に記憶されている情報によって充電される。n-ch MOS Tr. Qn17のしきい値が0Vの場合、電圧VSBLを2V以上にしておくと、Qn17のゲート電圧が0Vなら、ビット線は0Vのままで、Qn17のゲート電圧が1.5Vならビット線は1.5Vとなる。

16

【0073】一方、信号SUBLと電圧VLTCがVm、電圧VBLHがVmbとなって、“1”書き込みビット線にはVmbがn-ch MOS Tr. Qn13, 14を介して転送される。

【0074】選択ゲートSG1は0V、選択ゲートSG2がVm、制御ゲートCG1, 3, 4がVm、制御ゲートCG2がVprogとなると、第2書き込みが行われる。

【0075】この後、信号BLVT, PREを“L”にしておく限り、キャパシタC2に記憶された情報は基本的に保持されるので、書き込みベリファイと書き込みを繰り返し行いながら書き込みは行われる。

【0076】以上、主にトンネル電流で消去／書き込みを行う、NAND型セルを例に説明したが、基本的に本発明は、メモリセルの書き込み特性のばらつきを打ち消すように、書き込み電圧を各メモリセルに対して調節することで、書き込み後のメモリセルのしきい値ばらつきを低減し、書き込み速度を速くする。書き込み特性のばらつきは、メモリセルによらず同じ消去或いは書き込みパルスを印加して、パルス印加後のしきい値を調べることで検出される。本発明によれば、消去に対しても同様に行うことができる。また、pチャネルタイプのメモリセルに対しても同様に実施できる。さらに、チャネル全面を介するトンネル電流で消去／書き込みを行うもの以外に、例えばドレイン又はソースと浮遊ゲートの間のトンネル電流で消去又は書き込みを行うものや、ホットエレクトロン或いはホットホールで消去又は書き込みを行うものでも、同様の効果が得られる。

【0077】また、事前書き込みにより消去されたメモリセルのしきい値ばらつきを抑え、書き込み速度を速くする効果は、pチャネルタイプのメモリセルに対しても同様に実施できる。さらに、チャネル全面を介するトンネル電流で消去／書き込みを行うもの以外に、例えばドレイン又はソースと浮遊ゲートの間のトンネル電流で消去又は書き込みを行うものや、ホットエレクトロン或いはホットホールで消去又は書き込みを行うものでも、同様の効果が得られる。

【0078】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0079】

【発明の効果】以上説明したように本発明によれば、メモリセルの書き込み特性のばらつきを打ち消すように、書き込み電圧を調整する、或いは事前書き込みを行うことにより、書き込み速度を速くすることができる。また、極性を反転することで、メモリセルの消去特性のばらつきを打ち消すように、消去電圧を調整する、或いは事前消去を行うことにより、消去速度を速くすることもできる。

【図面の簡単な説明】

【図1】本発明の実施例に用いたメモリセルの構造と等価回路を示す図。

17

【図 2】本発明の実施例に用いたメモリセルの消去と書き込みの基本動作原理を示す図。

【図 3】本発明の実施例に用いたより詳しい書き込み動作原理を示す図。

【図 4】本発明の実施例に用いた書き込みパルス波形を示す図。

【図 5】本発明の実施例に用いたビット毎ベリファイ書き込み動作の基本動作原理を示す図。

【図 6】本発明の実施例に用いたメモリセルの書き込み時のしきい値変化を示す図。

【図 7】第 1 の実施例に係わる NAND セル型 EEPROM のメモリセルの構成を示す図。

【図 8】第 1 の実施例における事前書き込み特性を示す図。

【図 9】第 1 の実施例における事前書き込み後の書き込み特性を示す図。

【図 10】第 2 の実施例におけるメモリセル構成と最適書き込み電圧を用いての書き込み動作を示す図。

【図 11】第 2 の実施例における最適書き込み電圧の発生動作を示す図。

【図 12】第 2 の実施例における最適書き込み電圧を用いての書き込み特性を示す図。

【図 13】第 2 の実施例における最適書き込み電圧を用*

18

*いての書き込みを行う回路構成を示す図。

【図 14】図 13 の回路の動作タイミングを示す図。

【図 15】第 3 の実施例における最適書き込み電圧を用いての書き込み特性を示す図。

【図 16】第 3 の実施例における最適書き込み電圧を用いての書き込みを行う回路構成を示す図。

【図 17】図 16 の回路の動作タイミングを示す図。

【図 18】本発明の実施例に用いた NAND 型メモリセルアレイの等価回路を示す図。

10 【符号の説明】

1 … p 型基板又は p 型ウェル

2 … n 型拡散層

3 … トンネル絶縁膜

4 … 浮遊ゲート

5 … ゲート絶縁膜

6 … 制御ゲート

7 … 選択ゲート

8 … 選択ゲート絶縁膜

緑膜

Qn … nMOS トランジスタ

Qp … pMOS トランジスタ

FF … CMOS フリップフロップ

CG … 制御ゲート

SG … 選択ゲート

BL … ビット線

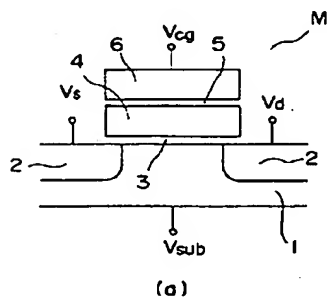
20 M … メモリセル

S … 選択トランジスタ

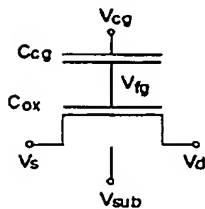
スタ

C … キャパシタ

【図 1】

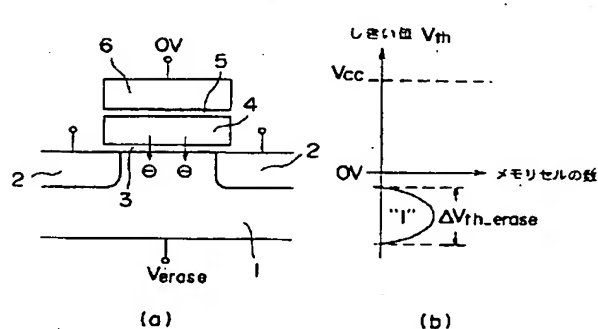


(a)

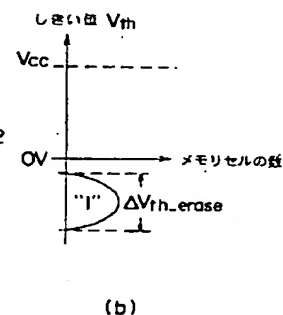


(b)

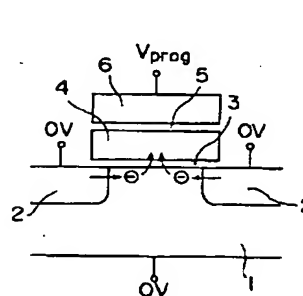
【図 2】



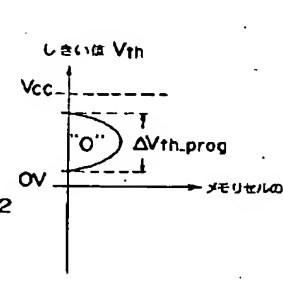
(a)



(b)

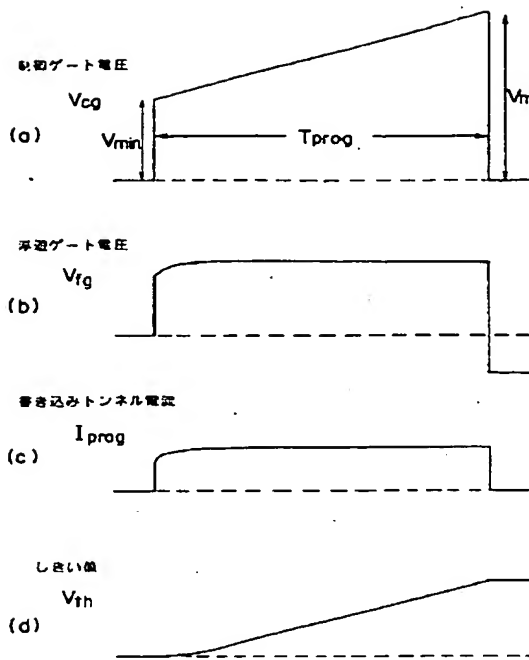


(c)

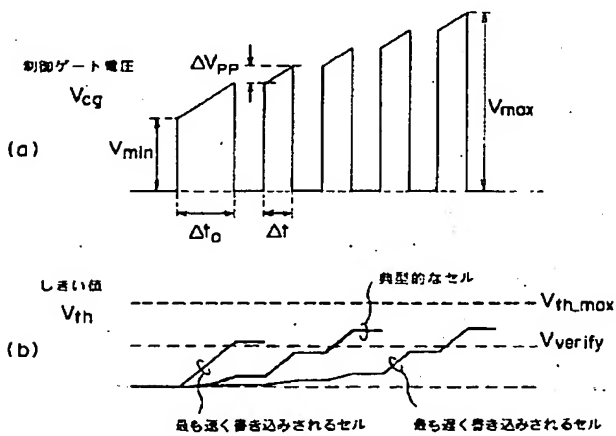


(d)

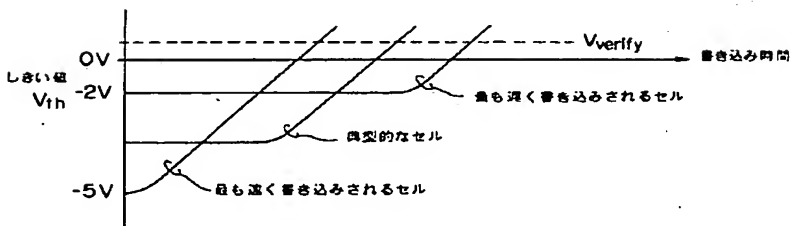
【図 3】



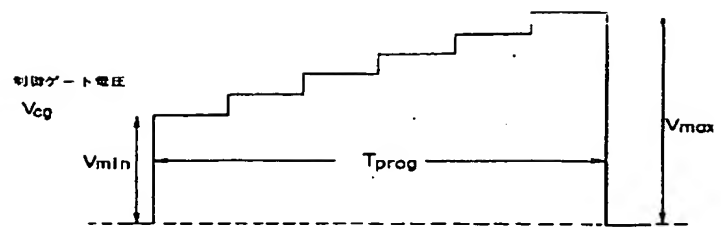
【図 5】



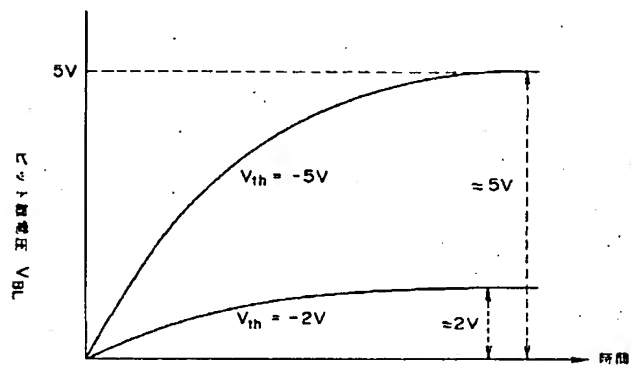
【図 6】



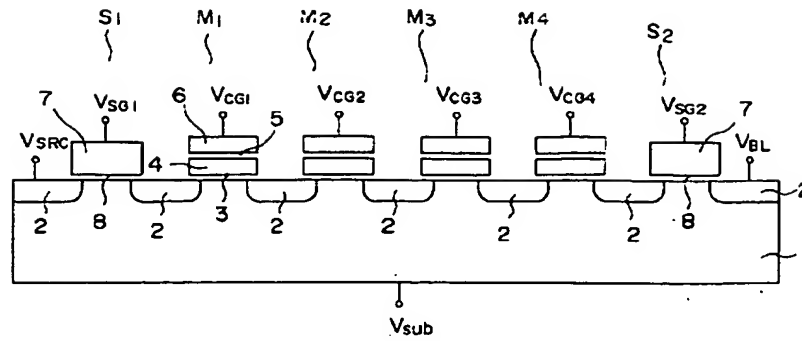
【図 4】



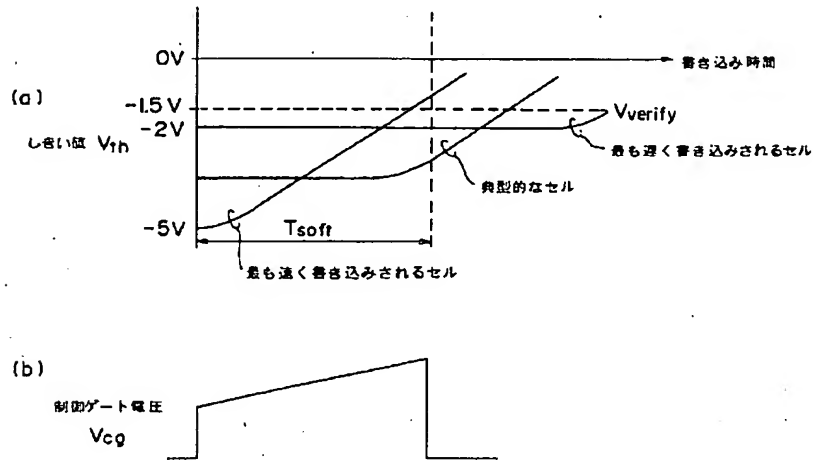
【図 11】



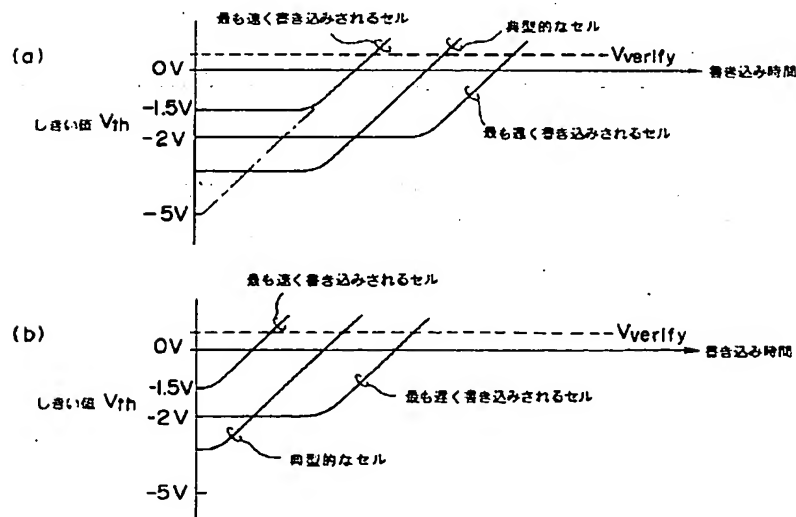
【図 7】



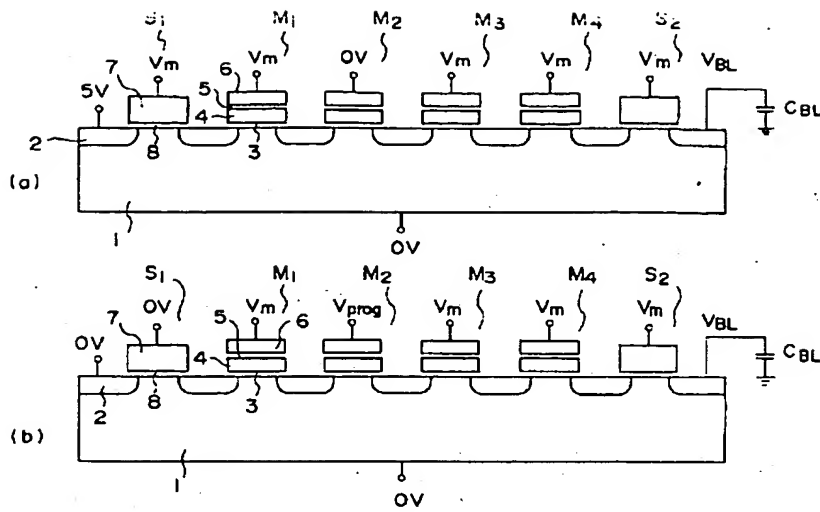
【図 8】



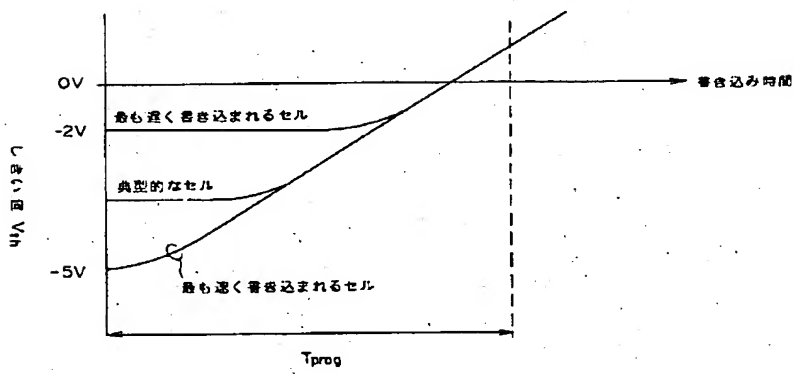
【図 9】



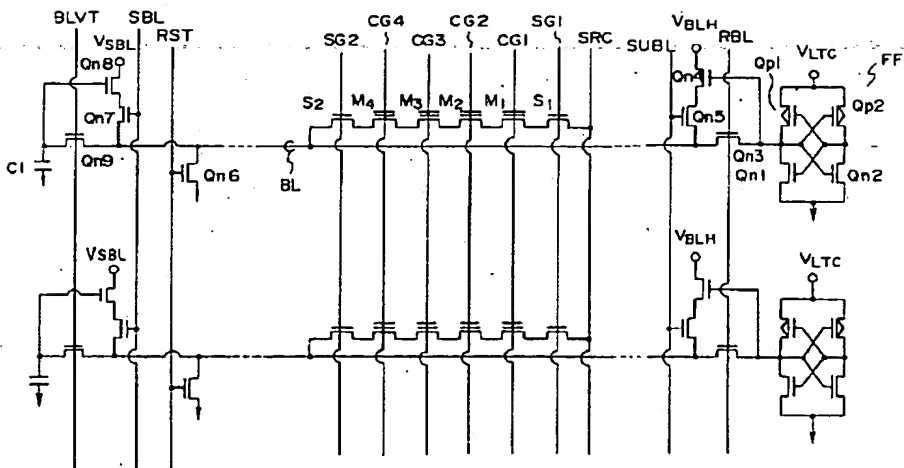
【図 10】



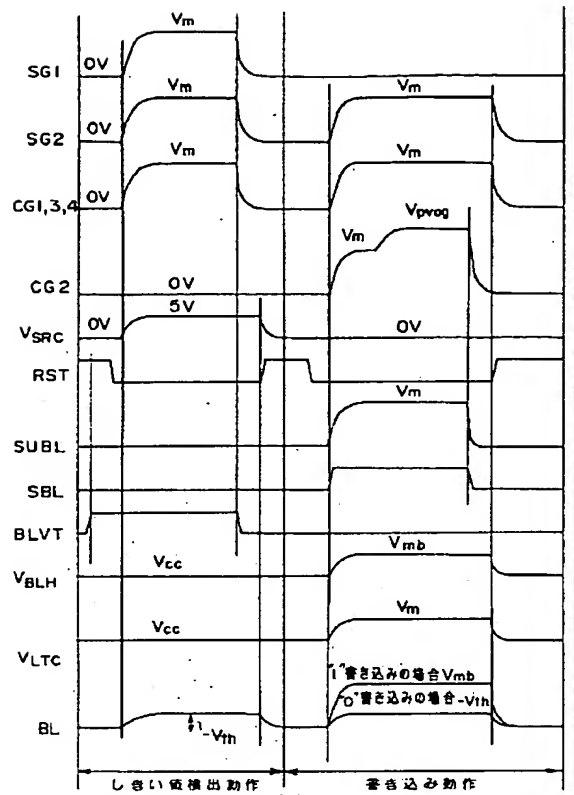
【図 12】



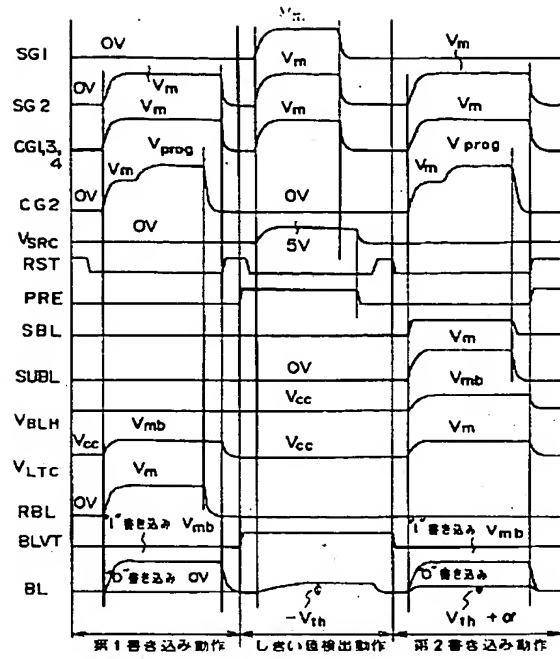
【図 13】



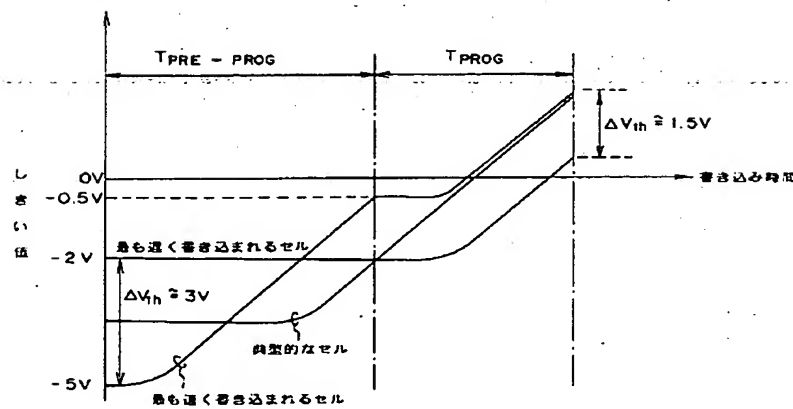
【図 14】



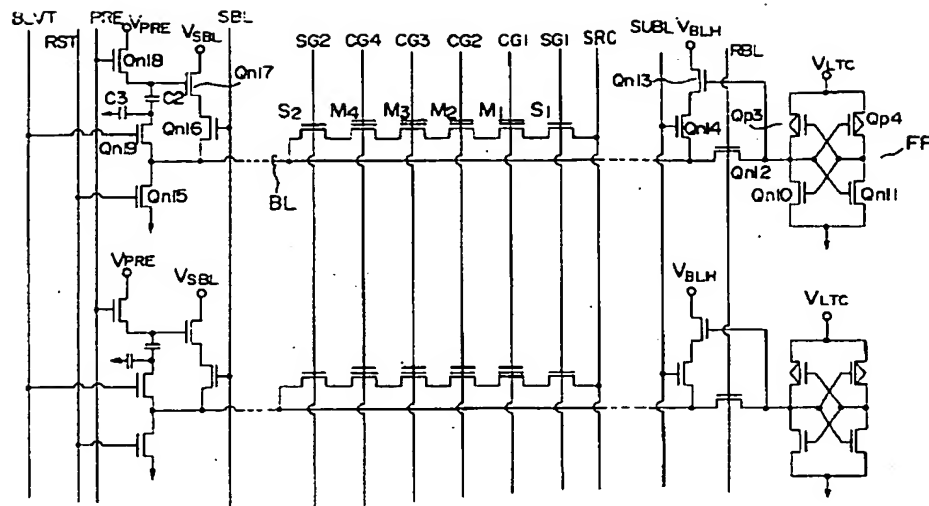
【図 17】



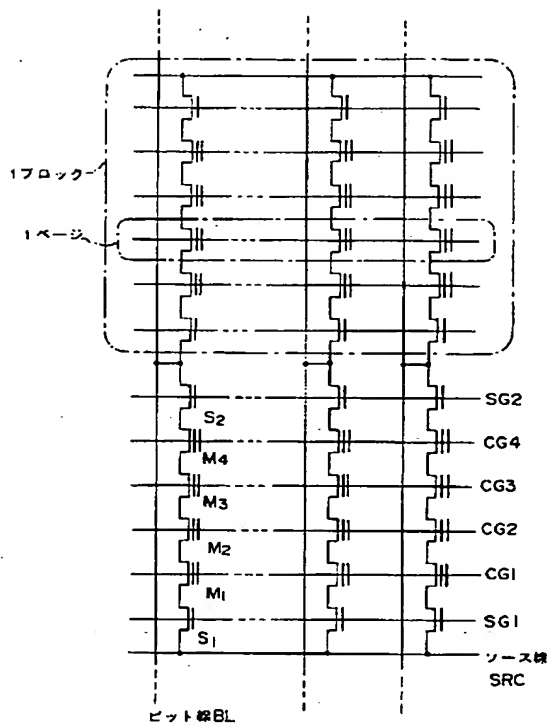
【図 15】



【図 16】



【図 18】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/788

29/792

H O 1 L 27/10
29/78

4 3 4
3 7 1